

Curriculum Scientifico e Didattico

Informazioni Generali

Luogo di nascita: Reggio Calabria (ITALY)
Data di nascita: 13 Gennaio 1979
Nazionalità: Italiana
Livello di Istruzione: Dottore di Ricerca in Ingegneria Elettronica
Ufficio: +39 0984 494108
Email: fabio.frustaci@unical.it

Ho conseguito la Laurea in Ingegneria Elettronica (v.o., magna cum laude) nel 2003, presso l'Università "Mediterranea" di Reggio Calabria, con una tesi in Elettronica dei Sistemi Digitali dal titolo "Dimensionamento ottimo di circuiti sommatore" (attività: ideazione e validazione di un modello matematico per la predizione del consumo medio di energia nei circuiti sommatore CMOS). In seguito (2007), ho conseguito il titolo di Dottore di Ricerca in Ingegneria Elettronica presso la stessa Università, discutendo la tesi "Tecniche di progettazione di memorie cache SRAM a bassa dissipazione di energia statica" (attività: ideazione e validazione di una originale cella di memoria SRAM a 8 transistor per memorie cache a bassa dissipazione di energia statica). Nel Gennaio 2007 sono entrato a far parte del Dipartimento di Ingegneria Informatica, Modellistica, Elettronica e Sistemistica dell'Università della Calabria, Rende, in qualità di Assegnista di Ricerca, Esercitatore e Professore a contratto. Da Dicembre 2014 a Novembre 2017 ho prestato servizio come Ricercatore a tempo determinato (RTd A) nel settore scientifico-disciplinare ING-INF/01 presso il Dipartimento DIMES dell'Università della Calabria. Nell'Aprile 2017 ho conseguito l'Abilitazione Scientifica Nazionale per professore di seconda fascia nel settore scientifico-disciplinare ING-INF/01. Da Luglio 2018 sono in servizio presso il DIMES come RTd-B. I miei principali interessi di Ricerca riguardano: tecniche di realizzazione di circuiti integrati VLSI ultra-low-power funzionanti in regime di sottosoglia (subthreshold); modellizzazione di circuiti CMOS in regime di sottosoglia; memorie SRAM a bassa dissipazione di energia ed ad alta robustezza per tecnologie fortemente scalate (deep submicrometer); approximate computing e circuiti integrati VLSI per applicazioni tolleranti agli errori (error resilient applications); tecniche di progettazione di circuiti aritmetici a bassa dissipazione energetica e ad alte prestazioni; sviluppo di nuove logiche dinamiche CMOS per applicazioni ad alta velocità e ad alta tolleranza al rumore; circuiti CMOS a bassa perdita di resa (yield loss) a causa di variazioni randomiche di processo; circuiti VLSI per image processing; architetture riconfigurabili (FPGA). Sono autore/coautore di più di 40 pubblicazioni su riviste ed atti di convegni internazionali (peer-reviewed). Inoltre, presto la mia attività come revisore per riviste e conferenze di primo piano nel campo della progettazione VLSI e sistemi digitali.

Istruzione:

Università "Mediterranea" di Reggio Calabria:

Marzo 2007	Dottorato di Ricerca in Ingegneria Elettronica , XIX ciclo. Titolo della Tesi " Tecniche di progettazione di memorie cache SRAM a bassa dissipazione di energia statica". Tutor: Prof. Pasquale Corsonello.
Maggio 2003	Laurea vecchio ordinamento in Ingegneria Elettronica (110/110 cum laude). Titolo della Tesi " Dimensionamento ottimo di circuiti sommatore".

Altri titoli culturali:

Aprile 2017

Conseguimento dell'Abilitazione Scientifica Nazionale a professore di seconda fascia nel settore scientifico-disciplinare ING/INF 01.

Esperienze Professionali:

Agosto 2018 – ad oggi: Ricercatore a tempo determinato (Rtd B) nel settore scientifico-disciplinare ING/INF 01, presso il Dipartimento DIMES dell'Università della Calabria.

Dicembre 2014 – Novembre 2017: Ricercatore a tempo determinato (Rtd A) nel settore scientifico-disciplinare ING/INF 01, presso il Dipartimento DIMES dell'Università della Calabria.

Maggio 2014 – Novembre 2014: Assegnista di Ricerca presso il Dipartimento DIMES dell'Università della Calabria. Tema della Ricerca: "Modellistica di Circuiti e Sistemi CMOS Sottosoglia". Resp. Scientifico: Prof.ssa S. Perri (Università della Calabria).

Agosto 2011 - Aprile 2014: Assegnista di Ricerca presso il Dipartimento DIMES dell'Università della Calabria e Visiting Researcher presso l'University of Michigan, Ann Arbor, MI, USA, in qualità di vincitore di una borsa post-doc conferita nell'ambito degli interventi cofinanziati dal Fondo Sociale Europeo (FSE), Programma Operativo Regionale (POR) Calabria FSE 2007/2013. Titolo del progetto di Ricerca: " Tecniche di progettazione innovative per memorie SRAM a bassissima dissipazione di potenza, bassissimo leakage ed elevata robustezza per applicazioni biomedicali e "green electronics" ". Resp. Scientifici: Prof. P. Corsonello (Università della Calabria) e Prof. D. Blaauw (University of Michigan).

Gennaio 2009- Luglio 2011: Assegnista di Ricerca presso il Dipartimento DIMES dell'Università della Calabria. Tema della Ricerca: "Circuiti integrati per l'elaborazione di immagini". Resp. Scientifico: Prof. P. Corsonello (Università della Calabria).

Marzo 2008- Dicembre 2008: Fruitore della Borsa Post-Doc "Tirocinio di Ricerca Regionale" in attuazione del Programma Integrato di Voucher e Borse per l'Alta Formazione POR CALABRIA 2000-2006 - Misura 3.7, in collaborazione con il Dipartimento di Elettronica, Informatica e Sistemistica (D.E.I.S.) dell'Università della Calabria e il Consiglio Nazionale delle Ricerche, Istituto per la Microelettronica e i Microsistemi (sezione di Napoli). Titolo della Ricerca "Nuove tecnologie microelettroniche per circuiti ad alte prestazioni e bassa potenza". Referente Scientifico: Prof. P. Corsonello (Università della Calabria).

Gennaio 2007- Maggio 2008: Assegnista di Ricerca presso il Dipartimento DIMES dell'Università della Calabria. Tema della Ricerca: "Circuiti integrati per l'elaborazione di immagini". Resp. Scientifico: Prof. P. Corsonello (Università della Calabria).

Giugno 2006-Ottobre 2006: Visiting Researcher presso l'University of Rochester, Rochester (NY), USA. Attività di Ricerca: Low-Leakage Low-Power 6T SRAM Cell Design. Responsabile Scientifico : Prof. M. Margala (University of Rochester, Rochester (NY), USA).

Maggio 2003 - Settembre 2003: Fruitore di un contratto di ricerca presso il dipartimento DIMET, Università Mediterranea di Reggio Calabria, Titolo della Ricerca: "Implementation of UART-based interface on FPGA", Referente Scientifico: Prof. Pasquale Corsonello.

Principali aree di Ricerca:

- Modellizzazione di circuiti CMOS ultra low power operanti in regime di sottosoglia (subthreshold).

Obiettivi di Ricerca raggiunti:

- Ideazione e validazione di un modello matematico per predire il comportamento delle porte logiche CMOS in regime di sottosoglia. Il modello fornisce delle formule in forma chiusa per il calcolo del ritardo e del tempo di salita/discesa del segnale di uscita delle porte. Il modello ha validità generale e accetta in ingresso parametri quali il tipo di porta logica (inverter, nand, nor ...), la dimensione dei transistor, il tempo di salita/discesa degli ingressi, ritardo relativo degli ingressi (in caso di porte a due ingressi), capacità di carico, tensione di alimentazione. Un'evoluzione del modello tiene in conto anche gli effetti del rumore sulle linee di massa e di alimentazione. A tale scopo, il modello realizzato ha bisogno di informazioni quali l'ampiezza, la fase e la frequenza del rumore. L'utilità di tale modello riguarda la sua applicazione in tool di sviluppo specifici per la progettazione subthreshold (in particolare, fornisce un'alternativa più veloce ed accurata all'utilizzo degli Static Time Analyzer).

- Tecniche di progettazione VLSI ultra low power.

Obiettivi di Ricerca raggiunti:

- Progettazione di una innovativa cella di memoria SRAM a 8 transistor a bassa dissipazione di energia statica (leakage) e a ridotto overhead di energia dinamica nel passaggio dallo stato *active* a *idle*. La caratteristica di tale cella è essa si mette in uno stato di low leakage in base al dato memorizzato (1 o 0) senza bisogno di circuiti di controllo (tipici nelle soluzioni convenzionali presenti in letteratura)

- Innovativa tecnica di progettazione ultra low power (a ridotto consumo di energia statica) di buffer di wordline per memorie SRAM. Tale tecnica, che fa uso di transistor con tensioni di soglia differenti, si basa su un modello matematico che fornisce la configurazione ottima del buffer (cioè a minor consumo energetico) per un dato constraint temporale.

- Tecniche di *write e read assist* per incrementare il margine di rumore in memorie SRAM ultra low power (con una tensione di alimentazione fortemente scalata). Sono state ideate e realizzate su silicio delle tecniche innovative per aumentare il margine di rumore in scrittura e lettura delle celle SRAM funzionanti a basse tensioni di alimentazione (near-threshold). La tecnica ideata si basa su un selettivo boosting negativo sulle bitline (errori di scrittura) e su uno schema a correzione di errore (ECC) che utilizza i bit meno significativi della parola memorizzata come check bits (errori di lettura). Le tecniche ideate riescono a realizzare un trade-off dinamico ed efficiente tra energia dissipata e bit-error-rate.

- Ideazione di una nuova logica CMOS dinamica (denominata *splith path data driven dynamic logic*) ad alte prestazioni e a basso consumo energetico. Tale logica dinamica non fa uso del clock ma le fasi di precarica e valutazione sono regolate dal valore degli ingressi (data driven).

- Nuove tecniche di progettazione low power di fondamentali blocchi aritmetici: sommatore, moltiplicatori, comparatori. Tali circuiti si basano su nuovi algoritmi computazionali (comparatore) e/o su efficienti organizzazione hardware delle porte logiche che li costituiscono (moltiplicatore e sommatore).

- Nuove tecniche di progettazione di level shifter per circuiti VLSI che utilizzano differenti domini di tensione di alimentazione, con riferimento a tecnologie Fully Depleted Silicon-on-Insulator (FDSOI). Sono stati analizzati delle modalità per sfruttare le principali caratteristiche della tecnologia FDSOI nella realizzazione ultra low power di level shifter secondo gli schemi di progettazione convenzionali.

- Nuove tecniche di progettazione per circuiti periferici nei banchi di memoria SRAM. In particolare, si è ideato un nuovo design per i driver di wordline che rappresenta un componente critico dal punto di vista dell'energia dissipata e del ritardo di lettura/scrittura. Il wordline driver proposto sfrutta le intrinseche proprietà della tecnologia FDSOI UTBB (design a single e doppio well) per ridurre fino all' 80% la dissipazione di energia statica rispetto alle tecniche convenzionali.

Inoltre, è stato proposto un design innovativo per ridurre l'offset dei sense amplifier per banchi di memoria SRAM. La tecnica proposta utilizza un innovativo schema di sense amplifier riconfigurabile il quale, combinando due sense amplifier per colonna opportunamente collegati in modo da cancellare (ridurre) gli effetti del mismatch risultante, mostra una riduzione dell'offset fino a 3 volte rispetto alle tecniche convenzionali. Come principale conseguenza, il banco di memoria risultante mostra un minor failure rate dell'operazione di lettura a parità di tensione di alimentazione o, viceversa, riesce ad operare con una tensione di alimentazione più bassa senza aumentare il failure rate.

- Tecniche di progettazione VLSI ad alta tolleranza al rumore e ad elevato yield (contro le variazioni random di processo).

Obiettivi di Ricerca raggiunti:

- Ideazione di un modello matematico per l'analisi della robustezza delle porte logiche CMOS realizzate in logica dinamica. Tale modello è stato ricavato per le porte logiche ad alto fan-in, che sono quelle più sensibili a fenomeni di rumore sugli ingressi. Il modello ha rivelato che la rete di keeper è uno dei principali responsabili degli effetti delle variazioni parametriche di processo sulle prestazioni della porta. Conseguentemente, una tecnica di progettazione di porte CMOS dinamiche che fraziona la porta (e, quindi, la rete di keeper) in moduli più semplici è stata sviluppata

- Ideazione di una nuova logica CMOS dinamica ad alte prestazioni e ad elevata robustezza al rumore. Essa si basa sulla traduzione della logica della funzione da implementare con rete di pull-up costituita da transistor NMOS. Un' opportuna rete di feedback permette la velocizzazione della porta e il raggiungimento di un efficace trade off tra velocità, robustezza al rumore e dissipazione energetica.

- Analisi di strutture di flip-flop con performance poco dipendenti dalle variazioni di processo. E' stato effettuato uno studio approfondito su numerose strutture di flip-flop al fine di ricavare dei criteri di progettazione per ridurre l'impatto delle variazioni random di processo sul valore medio e sulla varianza del ritardo, tempo di setup ed energia.

- Tecniche di progettazione di circuiti basati su tecnologia QCA

Obiettivi di Ricerca raggiunti:

- Progettazione di elementi combinatori utilizzando la tecnologia quantum dot cellular automata (QCA): sommatore BCD e multiplexer. La caratteristica principale dei design proposti è quella di sfruttare la principale peculiarità logica di tale tecnologia: le porte logiche elementari che possono essere combinate per realizzare le funzioni combinatorie sono la porta *not* e la *majority gate*. I circuiti progettati sfruttano alcuni teoremi (dimostrati negli articoli pubblicati) che comportano una sintesi più efficiente dei circuiti analizzati, utilizzando come primitive proprio le porte *not* e le *majority gate*. Rispetto ai lavori presenti in letteratura, dove la sintesi dei circuiti avviene tramite le usuali porte *not*, *and* ed *or* (queste ultime due realizzate con majority gate) come nella tecnologia CMOS, le tecniche

proposte comportano un ridotto numero di fasi di clock per compiere l'operazione, senza aggravii in termini di area occupata e numero di celle totali utilizzate.

- Approximate Computing: memorie ed elementi di calcolo

Obiettivi di Ricerca raggiunti:

- Implementazione su silicio di tecniche di bitline boosting, bit dropping e codici di correzioni di errore per effettuare un trade-off dinamico tra la "qualità" del dato scritto e letto nella/dalla memoria per applicazione error-tolerant. A parità di energia dissipata, la memoria proposta riesce ad aumentare la qualità (in termini di PSNR) fino a +20dB rispetto ad un banco di memoria convenzionale. Viceversa, si ottiene una riduzione dell'energia dissipata fino al 35% a parità della qualità.
- Ideazione e validazione di un innovativo schema di bit-truncation per effettuare un trade-off dinamico tra energia dissipata e qualità del risultato in circuiti sommatore. Applicata ad una comune applicazione video (intrinsecamente error-tolerant) come la DCT, la tecnica proposta mostra un aumento fino a 6dB del PSNR dell'immagine risultante a parità di energia dissipata.

- Architetture su piattaforme riconfigurabili e MPSoC per applicazioni di video-processing

Obiettivi di Ricerca raggiunti:

- Realizzazione di un'architettura hardware su piattaforma FPGA per il calcolo della mappa di disparità in applicazioni di stereovisione. E' stato presentato un nuovo algoritmo di stereo matching basato su un originale utilizzo della Trasformata Adattativa Census e dell'approccio Support Locally Pattern per calcolare la disparità tra i pixel di due immagini stereo utilizzando finestre di aggregazione e supporto molto ampie (fino a 13 x 13). L'algoritmo è stato inoltre progettato per essere hardware-friendly in modo da essere facilmente implementato su dispositivi FPGA, ottimizzando l'occupazione di risorse. Il design proposto è capace di elaborare immagini stereo di risoluzione 640x480 con un throughput rate fino a 68 frame/s su un chip Virtex6 della Xilinx.
- Realizzazione di un'architettura hardware su piattaforma FPGA per applicazioni di background subtraction. L'architettura è basata su un originale algoritmo che distingue tra il foreground ed il background tra i frame consecutivi di un video attraverso l'analisi di due canali: il canale a scala di grigio (gray) ed il canale relativo al cosiddetto *color invariant H*. La caratteristica principale dell'architettura proposta è il limitato utilizzo di historical frames per rilevare il background e, di conseguenza, la limitata necessità di memoria.
- Realizzazione di un'architettura hardware-software su piattaforma heterogeneous All Programmable-System on Chip per l'individuazione delle componenti connesse all'interno di immagini. La caratteristica principale dell'architettura proposta è quella di far sovrapporre le operazioni di calcolo per la determinazione delle label da assegnare ad ogni pixel appartenente all'immagine (effettuata in acceleratori hardware implementati su FPGA) con la fase di configurazione del DMA (effettuata dal processore general purpose) necessaria per caricare l'immagine dalla memoria RAM off-chip. Implementata sul chip Zynq AP-SoC 7045, l'architettura proposta raggiunge un throughput rate di 220Mpixels/s.

Attività Didattica:

Incarichi di docenza ricoperti in ambito universitario:

- A.A. 2017-2018 Titolare del corso “*Progettazione Low-Power*” (6 CFU), C.L.M. Ingegneria Elettronica, Dipartimento DIMES, Università della Calabria.
- A.A. 2016-2017 Titolare del corso “*Progettazione Low-Power*” (6 CFU), C.L.M. Ingegneria Elettronica, Dipartimento DIMES, Università della Calabria.
- A. A. 2009-2010 Professore a contratto a tempo determinato dell’insegnamento “*Elettronica*” Facoltà di INGEGNERIA (5 CFU), C.L. Ingegneria Meccanica, Università della Calabria.
- A. A. 2008-2009 Professore a contratto a tempo determinato dell’insegnamento “*Elettronica*” (5 CFU), Facoltà di INGEGNERIA, C.L. Ingegneria Meccanica, Università della Calabria.

Incarichi di esercitatore ricoperti in ambito universitario:

- A.A. 2017-2018 Esercitatore dell’insegnamento “*Architetture FPGA e progettazione*”, C.L. Ingegneria Elettronica, Dipartimento DIMES, Università della Calabria.
- A.A. 2016-2017 Esercitatore dell’insegnamento “*Elettronica Digitale I*”, C.L.M. Ingegneria Elettronica, Dipartimento DIMES Università della Calabria.
- A.A. 2016-2017 Esercitatore dell’insegnamento “*Architetture FPGA e progettazione*”, C.L. Ingegneria Elettronica, Dipartimento DIMES, Università della Calabria.
- A.A. 2015-2016 Esercitatore dell’insegnamento “*Elettronica Digitale I*”, C.L.M. Ingegneria Elettronica, Dipartimento DIMES Università della Calabria.
- A.A. 2015-2016 Esercitatore dell’insegnamento “*Architetture FPGA e progettazione*”, C.L. Ingegneria Elettronica, Dipartimento DIMES, Università della Calabria.
- A. A. 2012-2013 Esercitatore dell’insegnamento “*Elettronica I*”, Facoltà di INGEGNERIA, C.L. Ingegneria Elettronica, Università della Calabria.
- A. A. 2011-2012 Esercitatore dell’insegnamento “*Elettronica I*”, Facoltà di INGEGNERIA, C.L. Ingegneria Elettronica, Università della Calabria.
- A. A. 2010-2011 Esercitatore dell’insegnamento “*Progettazione VLSI*” Facoltà di INGEGNERIA, C.L. Ingegneria Elettronica, Università della Calabria.

A. A. 2009-2010	Esercitatore dell'insegnamento " <i>Elettronica I</i> " Facoltà di INGEGNERIA, C.L. Ingegneria Elettronica, Università della Calabria.
A. A. 2009-2010	Esercitatore dell'insegnamento " <i>Progettazione VLSI</i> " Facoltà di INGEGNERIA, C.L. Ingegneria Elettronica, Università della Calabria.
A. A. 2007-2008	Esercitatore dell'insegnamento " <i>Progetto di Elettronica Digitale</i> " Facoltà di INGEGNERIA, C.L. Ingegneria Elettronica, Università della Calabria.
A. A. 2007-2008	Esercitatore dell'insegnamento " <i>Elettronica</i> " Facoltà di INGEGNERIA, C.L. Ingegneria Meccanica, Università della Calabria.
A. A. 2005-2006	Esercitatore dell'insegnamento " <i>Progettazione VLSI</i> " Facoltà di INGEGNERIA, C.L. Ingegneria Elettronica, Università della Calabria.
A. A. 2003-2004	Esercitatore dell'insegnamento " <i>Elettronica dei Sistemi Digitali</i> " Facoltà di INGEGNERIA, C.L. Ingegneria Elettronica, Università Mediterranea Reggio Calabria.

Correlatore di Tesi di Laurea:

Dott. Vittorio Corapi A.A. 2014-2015	Tesi di Laurea Triennale in Ingegneria Elettronica, Università della Calabria. Titolo: "Analisi e caratterizzazione di memorie dinamiche a due transistor in tecnologia 45nm CMOS"
Dott. Ivan Luposella A.A. 2014-2015	Tesi di Laurea Triennale in Ingegneria Elettronica, Università della Calabria. Titolo: "Sistemi di identificazione univoca di chip basati su memorie SRAM"
Dott. Francesco Grispino A.A. 2014-2015	Tesi di Laurea Triennale in Ingegneria Elettronica, Università della Calabria. Titolo: "Analisi dei margini di rumore di un invertitore CMOS statico in regime di funzionamento sottosoglia"
Dott. Massimo Vatalaro A.A. 2014-2015	Tesi di Laurea Triennale in Ingegneria Elettronica, Università della Calabria. Titolo: "Circuiti per sommatore approssimati"
Dott. Marco Mascaro A.A. 2013-2014	Tesi di Laurea Triennale in Ingegneria Elettronica, Università della Calabria. Titolo: "Celle SRAM in regione di funzionamento sottosoglia"

Partecipazione al collegio dei docenti nell'ambito di dottorati di ricerca accreditati dal Ministero

A.A. 2015-2016	Membro del collegio dei docenti del Dottorato in Information and Communication Technology (ICT) XXXI ciclo, Dipartimento DIMES, Università della Calabria.
----------------	--

- A.A. 2016-2017 Membro del collegio dei docenti del Dottorato in Information and Communication Technology (ICT) XXXII ciclo, Dipartimento DIMES, Università della Calabria.
- A.A. 2017-2018 Membro del collegio dei docenti del Dottorato in Information and Communication Technology (ICT) XXXIII ciclo, Dipartimento DIMES, Università della Calabria.

Organizzazione o partecipazione come relatore a convegni di carattere scientifico in Italia o all'estero

Partecipazione come relatore al convegno internazionale: the 2006 IEEE International Symposium on Circuits and Systems (ISCAS 2006), May 21-24 2006, Kos Island, Greece.

Partecipazione come relatore al convegno internazionale: The 2nd Conference on Ph.D. Research in MicroElectronics and Electronics (PRIME 2006), June 12-15 2006, Otranto, Italy

Partecipazione come relatore al convegno internazionale: The 3rd Conference on Ph.D. Research in MicroElectronics and Electronics (PRIME 2007), July 2-5 2007, Bordeaux; France

Partecipazione come relatore al convegno internazionale: 18th International Workshop on Power and Timing Modeling, Optimization and Simulation, (PATMOS 2008), September 10-12 2008, Lisboa, Portugal

Partecipazione come relatore al convegno internazionale: 19th International Workshop on Power and Timing Modeling, Optimization and Simulation, (PATMOS 2009), September 9-11 2009, Delft, The Netherlands

Membro della Program Committee per il convegno internazionale: IEEE Int. Conference on Emerging Trends in Engineering & Technology (ICETET 2009), Dec 16-18 2009, Bombay, India.

Partecipazione come relatore al convegno internazionale: SPIE - The International Society for Optical Engineering (VLSI Circuits and Systems V), 18-20 April 2010, Prague, Czech Republic

Partecipazione come relatore al convegno internazionale: the 2010 IEEE International Symposium on Circuits and Systems: Nano-Bio Circuit Fabrics and Systems (ISCAS 2010), May 30-June 2 2010, Paris, France.

Membro della Program Committee (Logic and Circuit Design Track) per il convegno internazionale: the 28th IEEE International Conference on Computer Design (ICCD 2010), October 3-6 2010, Amsterdam, The Netherlands.

Partecipazione come relatore al convegno internazionale: International Conference on Microelectronics, ICM 2010, December 19-22 2010 Il Cairo, Egypt

Membro della Program Committee (Logic and Circuit Design) per il convegno internazionale: the 29th IEEE International Conference on Computer Design (ICCD 2011), October 9-12 2011, Boston, MA, USA.

Membro della Program Committee (Logic and Circuit Design Track) per il convegno internazionale: the 30th IEEE International Conference on Computer Design (ICCD 2012), September 30- October 3 2012, Montreal, Canada.

Membro della Program Committee (Logic and Circuit Design) per il convegno internazionale: the 31th IEEE International Conference on Computer Design (ICCD 2013), October 6-9 2013, Asheville, NC, USA.

Membro della Program Committee (Digital Circuit Design and Low Power) per il convegno internazionale: the 13th IEEE International NEW Circuits And Systems conference (NEWCAS 2015), June 7-10 2015, Grenoble, France.

Partecipazione come relatore al convegno internazionale: The 33rd IEEE International Conference on Computer Design (ICCD 2015), October 18-21 2015, New York, USA

Membro della Technical Program Committee per il convegno internazionale: 7th International Workshop on CMOS Variability, Sept 21-23 2016, Bremen, Germany

Membro della Program Committee (Logic and Circuit Design Track) per il convegno internazionale: the 34th IEEE International Conference on Computer Design (ICCD 2016), October 3-5 2016, Phoenix, AZ, USA.

Partecipazione alle attività di un gruppo di ricerca caratterizzato da collaborazioni a livello internazionale

Partecipazione all'attività di ricerca congiuntamente al gruppo dei Proff. D. Blaauw e D. Sylvester dell'Università del Michigan, Ann arbor, USA e del Prof. M. Alioto, National University of Singapore. Le pubblicazioni che attestano tale partecipazione sono:

[1] Frustaci F, Khayatzadeh M, Blaauw D, Sylvester D, Alioto M. "A 32kb SRAM for error-free and error-tolerant applications with dynamic energy-quality management in 28nm CMOS" IEEE International Solid-State Circuits Conference (ISSCC), DIGEST OF TECHNICAL PAPERS, vol. 57, p. 244-245, 2014

[2] Frustaci F, Khayatzadeh M, Blaauw D, Sylvester D, Alioto M. "SRAM for error-tolerant applications with dynamic energy-quality management in 28 nm CMOS" IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. 50, issue 5, p. 1310-1323, 2015

[3] Khayatzadeh M, Frustaci F, Blaauw D, Sylvester D, Alioto M. "A reconfigurable sense amplifier with 3X offset reduction in 28nm FDSOI CMOS" IEEE Symposium on VLSI Circuits, Digest of Technical Papers. p. 270-271, 2015

[4] Frustaci F, Blaauw D, Sylvester D, M Alioto. "Better-than-voltage scaling energy reduction in approximate SRAMs via bit dropping and bit reuse" In the 25th International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS), 2015, 1-4 September 2015.

[5] Frustaci F, Blaauw D, Sylvester D, Alioto M. "Approximate SRAMs With Dynamic Energy-Quality Management" IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS, vol. 24, issue 6, pp. 2128-2141, 2016.

La pubblicazione [1] è stata supportata parzialmente dall' NSF Variability Expedition e DARPA (agreement HR0011-13-2-0006).

Le pubblicazioni [2],[3], [5] sono state supportate parzialmente dal Singaporean Ministry of Education under Grant MOE2014-T2-1-161 and Grant MOE2014-T2-2-158 e dal National Science Foundation Variability Expedition.

Attività di Ricerca presso qualificati istituti italiani e stranieri

- da Luglio 2006 ad Ottobre 2006 Visiting Scholar presso il Dipartimento EECS dell'University of

Rochester, Rochester (NY), USA. L'attività di ricerca è stata condotta durante il terzo anno di Dottorato di Ricerca, sotto la supervisione del Prof. M. Margala dell'University of Rochester

- da Agosto 2011 ad Ottobre 2011 Visiting Scholar presso il Dipartimento EECS dell'University of Michigan, Ann Arbor (MI), USA. L'attività di Ricerca è stata svolta nell'ambito del progetto "Realizzazione di memorie SRAM a bassa dissipazione di energia e ad elevate prestazioni per l'implementazione di efficienti memorie cache in dimensione fortemente submicrometrica" di cui il sottoscritto è stato responsabile. L'attività di ricerca è stata svolta in collaborazione con il gruppo di ricerca dei proff. D. Blaauw e D. Sylvester dell'University of Michigan.
- da Febbraio 2012 a Luglio 2012
- da Aprile 2013 ad Agosto 2013
- da Marzo 2008 a Dicembre 2008 Fruitore di un tirocinio di ricerca presso il Centro Nazionale delle Ricerche, Istituto per la Microelettronica e i Microsistemi, sede di Napoli (referente Dott. Ivo Rendina), ed il Dipartimento DEIS dell'Università della Calabria (referente Prof. Pasquale Corsonello).

Partecipazione a progetti di ricerca:

- Responsabile scientifico del progetto di ricerca dal titolo "Realizzazione di memorie SRAM a bassa dissipazione di energia e ad elevate prestazioni per l'implementazione di efficienti memorie cache in dimensione fortemente submicrometrica". Il progetto di ricerca è stato finanziato dall'Università della Calabria (Dipartimento DEIS), a seguito della partecipazione e della vincita di un bando pubblico, nell'ambito del programma: FINANZIAMENTO DI PROGETTI DI RICERCA. "GIOVANI RICERCATORI" (dal 29-06-2006 al 31-08-2007).
- Responsabile scientifico del progetto di ricerca dal titolo "Innovative schemes for ultra-low power SRAMs with ultra-low leakage and improved robustness for biomedical and green electronics". Il progetto è stato finanziato dal Fondo Sociale Europeo (FSE), Programma Operativo Regionale (POR) Calabria FSE 2007/2013 (64.000 EU) (dal 1-08-2011 al 30-04-2014).
- Responsabile scientifico del programma di ricerca "Nuove Tecnologie Microelettroniche per Circuiti ad Alte Prestazioni e Bassa Potenza" POR CALABRIA 2000-2006 Misura 3.7 "Tirocini di Ricerca"- Programmi di Tirocinio – (dal 29-02-2008 al 29-12-2008).
- Partecipazione al progetto "Protezione dei servizi digitali e di pagamento elettronico", Programma Operativo Nazionale di Ricerca e Competitività 2007-2013 (PON03P_00032_2) (dal 1-12-2014 al 31-12-2015).

Direzione o partecipazione a comitati editoriali di riviste di riconosciuto prestigio

- Dal 25/07/2016 ad oggi Editor della rivista internazionale "Microelectronics Journal" edita da Elsevier (ISSN: 0026-2692).

Altre Attività professionali:

Peer Reviewer: per le seguenti riviste internazionali:

- IEEE Transactions on VLSI
- IEEE Transactions on Circ. and Syst. I- Regular Papers
- IEEE Transactions on Circ. and Syst. II- Express Brief
- IEEE Transactions on Nanotechnology
- IEEE Journal on Emerging and Selected Topics in Circuits and Systems
- Microelectronics Journal
- Integration, the VLSI Journal
- Journal of Low Power Electronics
- Journal of Circuits, Systems and Computers
- Sensors

Pubblicazioni:

Riviste Internazionali:

- [1]. S. Perri, **F. Frustaci**, F. Spagnolo, P. Corsonello, "Stereo Vision Architecture for Heterogeneous Systems-on-Chip, **accepted** on date 24-4-2018 for future publication in the Journal of Real-Time Image Processing.
- [2]. F. Spagnolo, **F. Frustaci**, S. Perri, P. Corsonello, "An Efficient Connected Component Labeling Architecture for Embedded Systems", Journal of Low Power Electronics and Applications, 8(1), pp. 1-11, 2018.
- [3]. G. Cocorullo, P. Corsonello, **F. Frustaci**, S. Perri, "Design of Efficient BCD Adders in Quantum-Dot Cellular Automata", IEEE Transactions on Circuits and Systems II: Express Briefs, 64 (5), pp. 575-579, 2017.
- [4]. G. Cocorullo, P. Corsonello, **F. Frustaci**, S. Perri, "An efficient hardware-oriented stereo matching algorithm", Microprocessors and Microsystem, 46, pp. 21-33, 2016.
- [5]. **F. Frustaci**, D. Blaauw, D. Sylvester, M. Alioto "Approximate SRAMs with dynamic energy-quality management", IEEE Transactions on VLSI Systems, 24 (6), 2128-2141, 2016.
- [6]. G Cocorullo, P Corsonello, **F Frustaci**, S Perri, "Design of efficient QCA multiplexers", International Journal of Circuit Theory and Applications, vol. 44, n°3, pp. 602-615, 2016.
- [7]. G. Cocorullo, P. Corsonello, **F. Frustaci**, Lorena-de-los-Angeles Guachi-Guachi, S. Perri, "Multimodal background subtraction for high-performance embedded systems", Journal of Real-Time Image Processing, pp. 1-17, 2016.
- [8]. P. Corsonello, **F. Frustaci**, S. Perri "Power supply noise in accurate delay model for the sub-threshold domain" Integration, the VLSI Journal, vol. 50, pp. 127-136, 2015
- [9]. **Frustaci, F.**, Khayatzaeh, M., Blaauw, D., Sylvester, D., Alioto, M. " SRAM for Error-Tolerant Applications With Dynamic Energy-Quality Management in 28 nm CMOS" IEEE Journal of Solid-State Circuits, 50 (5), 1310-1323, 2015.
- [10]. P. Corsonello, **F. Frustaci**, S. Perri " Low-Leakage SRAM Wordline Drivers for the 28-nm UTBB FDSOI Technology" IEEE Transactions on VLSI Systems, 23 (12), 3133-3137, 2015.

- [11]. Corsonello, P. ; **Frustaci, F.** ; Lanuzza, M. ; Perri, S. "Over/Undershooting Effects in Accurate Buffer Delay Model for Sub-Threshold Domain" IEEE Transactions on Circuits and Systems I: Regular Papers, Vol. 61, n° 5, pp. 1456-1464, 2014,
- [12]. **Frustaci F.** , Lanuzza M., Perri S., Corsonello P., "Analyzing noise robustness of wide fan-in dynamic logic gates under process variations" International Journal of Circuit Theory and Application, Vol. 42, n°5, pp. 452-467, 2014.
- [13]. Raffaele De Rose, Marco Lanuzza, **Fabio Frustaci**, Sohan Purohit " Designing Dynamic Carry Skip Adders: Analysis and Comparison" Circuits, Systems, and Signal Processing, Vol. 33, n° 4, pp.1019-1034, 2014.
- [14]. Lanuzza M., De Rose R., **Frustaci F.**, Perri S., Corsonello P. "Comparative analysis of yield optimized pulsed flip-flops" Microelectronics Reliability, Vol. 52, n° 8, pp. 1679-1689, 2012.
- [15]. **Frustaci F.**, Corsonello P. , Perri S. , "Analytical Delay Model Considering Variability Effects in Subthreshold Domain", IEEE Transactions on Circuits and Systems II: Express Briefs, 2012, Vol.59, n.3, pp. 168 - 172.
- [16]. Lanuzza M., **Frustaci F.**, Perri S., Corsonello P. "Design of Energy Aware Adder Circuits Considering Random Intra-Die Process Variations" Journal of Low Power Electronics and Applications ,2011, Vol. 1, n°1, pp. 97-108.
- [17]. **Frustaci F.**, Alioto M., Corsonello P. " Tapered-Vth approach for energy-efficient CMOS buffers", IEEE Transactions on Circuits and Systems I: Regular Papers, 2011, Vol. 58 n° 11, pp. 2698-2707
- [18]. **Frustaci F.**, Perri S, M. Lanuzza, Corsonello P., "Energy-Efficient Single Clock Cycle Binary Comparator". International Journal of Circuit Theory and Applications, 2012, vol. 40, n°3, pp. 237-246.
- [19]. Lanuzza M. , Zicari P. , **Frustaci F.** , Perri S. , Corsonello P. , "Exploiting Self-Reconfiguration Capability to Improve SRAM-based FPGA Robustness in Space and Avionics Applications". ACM Transactions on Reconfigurable Technology and Systems, 2010, New Series, vol. 4, n°2, pp. 1-19.
- [20]. **Frustaci F.**, M. Lanuzza, P. Zicari, Perri S, Corsonello P., "Low-power split-path data driven dynamic logic" IET Circuits, Devices & Systems, 2009, Vol. 3, n. 6, pp. 303-312.
- [21]. **Frustaci F.**, M. Lanuzza, P. Zicari, Perri S, Corsonello P., "Designing High Speed Adders in Power-Constrained Environments" IEEE Transaction on Circuits and Systems II, 2009, Vol. 56, n.2, pp. 172-176.
- [22]. **Frustaci F.**, Corsonello P., Perri S., Cocorullo G. "High-performance Noise-tolerant circuit techniques for CMOS dynamic logic" IET Circuits, Devices & Systems, 2008, Vol. 2, n. 6, pp. 537-548.
- [23]. **Frustaci F.** , Corsonello P. , Perri S. , Cocorullo G. , " Techniques for Leakage Energy Reduction in Deep Submicron Cache Memories". IEEE Transactions on VLSI Systems, 2006, Vol. 14, n. 11, pp. 1238 – 1249.

Lecture Notes:

- [24]. Lanuzza M., De Rose R., **Frustaci F.**, Perri S. Corsonello P "Impact of Process Variations on Pulsed Flip-Flops: Yield Improving Circuit-Level Techniques and Comparative Analysis" Proc. PATMOS 10, Grenoble, France, 2010, published in Integrated Circuit and System Design. Power and Timing Modeling, Optimization, and Simulation Lecture Notes in Computer Science Vol. 6448, 2011, pp 180-189.
- [25]. Lanuzza M. , Zicari P. , **Frustaci F.** , Perri S. , Corsonello P. , "An Efficient and low-cost design methodology to improve SRAM-based FPGA robustness in space and avionic

- applications". Proc. ARC 09, 2009 Karlsruhe, Germany, published in Reconfigurable Computing: Architectures, Tools and Applications Lecture Notes in Computer Science Vol. 5453, 2009, pp 74-84.
- [26]. **Frustaci F.**, Lanuzza M. "A New Optimized High-Speed Low-Power Data-Driven Dynamic (D3L) 32-bit Kogge-Stone Adder". Proc. PATMOS 09, Delft, The Netherlands, 2009, published in Integrated Circuit and System Design, Power and Timing Modeling, Optimization and Simulation, Lecture Notes in Computer Science, Springer-Verlag Berlin Heidelberg 2010, Vol. 5953 pp. 357-366.
- [27]. **Frustaci F.**, Corsonello P., Perri S., Cocorullo G., "A New Dynamic Logic Circuit Design for an effective Trade-off between Performance and Energy Dissipation". Proc. of PATMOS 08, Lisbon Portugal, 10-12 Sept., pubblicato in Integrated Circuit and System Design, Power and Timing Modeling, Optimization and Simulation, Lecture Notes in Computer Science, Springer-Verlag Berlin Heidelberg 2009, Vol. 5349 pp. 277-286.

Atti di conferenze internazionali:

- [28]. S Perri, **F. Frustaci**, F. Spagnolo, P. Corsonello "Design of Real-Time FPGA-based Embedded System for Stereo Vision", Proc. of IEEE International Symposium on Circuit and Systems (ISCAS), 2018, Firenze (ITALY), pp. 1-5.
- [29]. L. Guachi, G. Cocorullo, P. Corsonello, **F. Frustaci**, S. Perri, "Color Invariant Study for Background Subtraction", Proc. of the IARIA International Conference on Advances in Circuits, Electronics and Micro-electronics (CENICS), 2016, Nice (France), pp. 1-5.
- [30]. M. Khayatzadeh, **F. Frustaci**, D. Blaauw, D. Sylvester, M. Alioto "A reconfigurable sense amplifier with 3X offset reduction in 28nm FDSOI CMOS", IEEE Symposium on VLSI Circuits, Digest of Technical Papers (VLSI), 2015, Kyoto (Japan), pp. 270-271,
- [31]. **F. Frustaci**, D. Blaauw, D. Sylvester, M. Alioto, "Better-than-voltage scaling energy reduction in approximate SRAMs via bit dropping and bit reuse", Proc. of IEEE 25th International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS), 2015, Bahia (Brazil), pp. 132-139.
- [32]. P. Corsonello, **F. Frustaci**, S. Perri, "A layout strategy for low-power voltage level shifters in 28nm UTBB FDSOI technology", IEEE AEIT International Annual Conference (AEIT), 2015, Naples (Italy), pp. 1-4.
- [33]. G. Cocorullo, P. Corsonello, **F. Frustaci**, L. Guachi, S. Perri, "Embedded surveillance system using background subtraction and Raspberry Pi", IEEE AEIT International Annual Conference (AEIT), 2015, Naples (Italy), pp. 1-4.
- [34]. P. Corsonello, S. Perri, **F. Frustaci**, "Exploring well configurations for voltage level converter design in 28 nm UTBB FDSOI technology", Proc. of IEEE International Conference on Computer Design (ICCD), 2015, New York, USA, pp. 499-504.
- [35]. **F. Frustaci**; Khayatzadeh, Mahmood ; Blaauw, David ; Sylvester, Dennis ; Alioto, Massimo "A 32kb SRAM for error-free and error-tolerant applications with dynamic energy-quality management in 28nm CMOS" IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC), San Francisco, USA, 2014, pp. 244-245.
- [36]. F L. Guachi, G. Cocorullo, P. Corsonello, **F. Frustaci**, S. Perri "A novel background subtraction method based on color invariants and grayscale levels", Proc. of IEEE

- International Carnahan Conference on Security Technology (ICCST), 2014, Rome (Italy), pp. 1-5.
- [37]. **F. Frustaci**, P Corsonello, M Alioto "Tapered-VTH CMOS buffer design for improved energy efficiency in deep nanometer technology" Proc. of IEEE International Symposium on Circuits and Systems (ISCAS), Rio de Janeiro, Brasile, 2011, 2075-2078.
- [38]. S Solanki, **F Frustaci**, P Corsonello " VLSI design of low-leakage single-ended 6T SRAM cell" SPIE Microtechnologies, 2011, Prague (Czech Republic), pp 1-4.
- [39]. **F. Frustaci**, P Corsonello, M Alioto "Optimization and evaluation of tapered-VTH approach for energy-efficient CMOS buffers", Proc. of the 20th European Conference on Circuit Theory and Design (ECCTD), Linkoping, Svezia, 2011, pp. 592-595.
- [40]. Lanuzza M., Perri S., **Frustaci F.**, Corsonello P. "Impact of Process Variations on Flip-Flops Energy and Timing Characteristics" Proc. of IEEE ISVLSI 2010, Lixouri, Kefalonia, Greece, pp. 2010.
- [41]. Solanki S., **Frustaci F.**, Corsonello P. "A Low-Leakage Single-Ended 6T SRAM Cell" Proc of IEEE ICETET 2010, Bombay, India, 2010.
- [42]. De Rose R., **Frustaci F**, Lanuzza M. "Design and Evaluation of High-Speed Energy-Aware Carry Skip Adders" Proc. IEEE ICM 2010, Cairo, Egypt, 2010, pp. 124-127.
- [43]. Lanuzza M. , Zicari P. , **Frustaci F.** , Perri S. , Corsonello P. "A Self-Hosting Configuration Management System to Mitigate the Impact of Radiation-Induced Multi-Bit Upsets in SRAM-Based FPGAs" Proc. of IEEE ISIE 2010, Bari, Italy, 2010, pp. 1989-1994.
- [44]. **Frustaci F.** , Perri S. , Lanuzza M. , Corsonello P. , " A new low-power high-speed single-clock-cycle binary comparator". Proc of IEEE ISCAS'10, Paris, 2010, pp.317-320.
- [45]. **Frustaci F.** , Corsonello P. , Cocorullo G. , "A noise-tolerant dynamic logic circuit design". Proc. of IEEE Conference PRIME'07, Bordeaux (Francia), 2007, pp. 233 – 236.
- [46]. **Frustaci F.** , Corsonello P. , Perri S. , Cocorullo G. , "Leakage energy reduction techniques in deep submicron cache memories". Proc of IEEE ISCAS'06, Kos Island - Greece, 2006, pp. 3846 – 3849.
- [47]. **Frustaci F.** , Corsonello P. , Perri S. , Cocorullo G. , " A new scheme to reduce leakage in deep-submicron cache memories with no extra dynamic consumption". Proc of IEEE PRIME'06, Otranto - Italy, 2006, pp. 61 - 64
- [48]. **Frustaci F.** , Corsonello P. , " Impact of oxide thickness on performances of logic circuits: a predictive simulation study". Proc of IEEE ISSCS'05, Iasi, Romania, 2005, pp. 541 – 544
- [49]. Perri S., **Frustaci F.**, Corsonello P., "Accurate power estimation model for CMOS adders optimization". Proc of IEEE Conference ICSES04, Poznan - Poland, 2004

Premi e riconoscimenti:

- "Bronze Leaf" per l'articolo: Frustaci, F., Corsonello, P., Perri, S., Cocorullo, G. "A new scheme to reduce leakage in deep-submicron cache memories with no extra dynamic consumption". In Proceedings of the 2nd IEEE Conference on Ph.D. Research in MicroElectronics and Electronics (PRIME'06), Otranto - Italy, 12-15 Giugno 2006, pp. 61-64.

- "Silver Leaf" per l'articolo: Frustaci, F., Corsonello, P., Cocorullo, G. "A new noise-tolerant dynamic logic circuit design". In Proceedings of the 3rd IEEE Conference on Ph.D. Research in MicroElectronics and Electronics (PRIME'07), Bordeaux - France, 2-5 Luglio 2007, pp. 233-236.

- "Best Paper Award" per l'articolo: L. Guachi, G. Cocorullo, P. Corsonello, F. Frustaci, S. Perri "Color Invariant Study for Background Subtraction" in Proceedings of CENICS 2016, The Ninth

International Conference on Advances in Circuits, Electronics and Microelectronics, held in Nice, France - July 24 - 28, 2016

Proprietà Intellettuale:

Intellectual Property Agreement (disclosure n° UR 2-11144-07008) con l' University of Rochester, Rochester, NY, USA in data 28-9-2006 per l'invenzione "A New Design For Low-Active-Low-Static-Power Cache".

Rende (CS), 30-03-2020

Il dichiarante

(Fabio Frustaci)